

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-124539
 (43)Date of publication of application : 25.04.2003

(51)Int.Cl. H01L 43/08
 G11C 11/14
 G11C 11/15
 H01F 10/16
 H01F 10/30
 H01F 10/32
 H01L 27/105

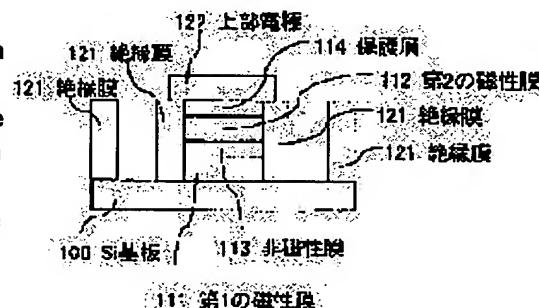
(21)Application number : 2001-311323 (71)Applicant : CANON INC
 (22)Date of filing : 09.10.2001 (72)Inventor : IKEDA TAKASHI

(54) MAGNETORESISTIVE EFFECT FILM AND MEMORY USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a magnetoresistive effect film of very small size less than submicron size, specially, a magnetoresistive effect film of minimum processing size and further a memory element using the magnetoresistive effect film.

SOLUTION: Magnetic bodies 111 and 112 as constitution elements of the magnetoresistive effect film have vertical magnetism and are in such shapes that when the magnetic bodies are viewed from the laminating direction of magnetoresistive effect films, the ratio of the length of the magnetic body to the width is 0.77 to 1.30 and the length and width are both <1 μm.



LEGAL STATUS

[Date of request for examination] 01.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2003-124539

(P 2 0 0 3 - 1 2 4 5 3 9 A)

(43)公開日 平成15年4月25日 (2003.4.25)

(51) Int.Cl. 7
H01L 43/08

識別記号

F I
H01L 43/08

テマコード (参考)

G11C 11/14

G11C 11/14

P 5E049

Z 5F083

11/15

11/15

A

E

審査請求 未請求 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2001-311323 (P 2001-311323)

(71)出願人 000001007

キヤノン株式会社

(22)出願日 平成13年10月9日 (2001.10.9)

東京都大田区下丸子3丁目30番2号

(72)発明者 池田 貴司

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100088328

弁理士 金田 賢之 (外2名)

F ターム(参考) 5E049 AA01 AA04 AA09 AC00 AC05

BA06 CB02 DB02

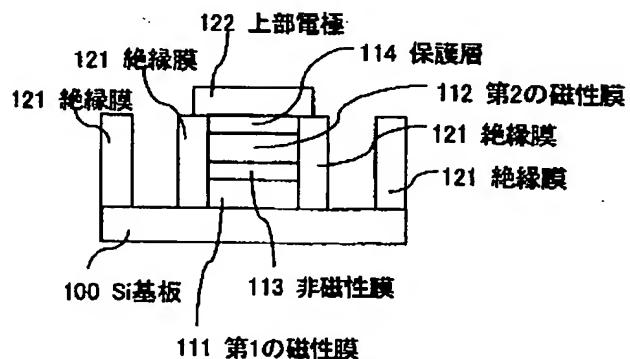
5F083 FZ10 GA09 LA03 MA06 MA19

(54)【発明の名称】磁気抵抗効果膜およびそれを用いたメモリ

(57)【要約】

【課題】 サブミクロンサイズ以下の微小サイズの磁気抵抗効果膜、特に最小加工寸法の磁気抵抗効果膜を提供し、さらにこの磁気抵抗効果膜を用いたメモリ素子を提供する。

【解決手段】 磁気抵抗効果膜の構成要素である磁性体111、112において、磁性体は垂直磁化を示し、磁気抵抗効果膜の積層方向から磁性体を見た形状が、磁性体の幅に対する長さの比が0.77以上1.30以下の範囲内で有り、かつ長さと幅がどちらも1μm未満となる構成である。



【特許請求の範囲】

【請求項1】 磁気抵抗効果膜の構成要素である磁性体において、磁性体は垂直磁化を示し、磁気抵抗効果膜の積層方向から磁性体を見た形状が、磁性体の幅に対する長さの比が0.77以上1.30以下の範囲内で有り、かつ長さと幅がどちらも1μm未満であることを特徴とする磁気抵抗効果膜。

【請求項2】 前記形状が正方形であることを特徴とする請求項1に記載の磁気抵抗効果膜。

【請求項3】 前記形状が円形であることを特徴とする請求項1に記載の磁気抵抗効果膜。

【請求項4】 前記磁性体が希土類金属、FeおよびCoを主成分とするフェリ磁性体であることを特徴とする請求項1から3のいずれか一に記載の磁気抵抗効果膜。

【請求項5】 前記磁気抵抗効果膜が少なくとも第1の磁性体、非磁性体および第2の磁性体が順に積層されてなる複合体であり、前記非磁性体が導体であることを特徴とする請求項1から4のいずれか一に記載の磁気抵抗効果膜。

【請求項6】 前記磁気抵抗効果膜が少なくとも第1の磁性体、非磁性体および第2の磁性体が順に積層されてなる複合体であり、前記非磁性体が絶縁体であることを特徴とする請求項1から4のいずれか一に記載の磁気抵抗効果膜。

【請求項7】 磁気抵抗効果膜に膜面垂直方向に電流を流した場合に、スピントンネル効果を示すことを特徴とする請求項6に記載の磁気抵抗効果膜。

【請求項8】 請求項1から7のいずれか一に記載の磁気抵抗効果膜をメモリ素子とし、情報を記録する手段と、記録された情報を読み出す手段を備えたメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はサブミクロンサイズの磁気抵抗効果膜に関するものであり、また、該磁気抵抗効果膜を用いたメモリに関するものである。

【0002】

【従来の技術】 近年、固体メモリである半導体メモリは情報機器に多く用いられ、DRAM (ダイナミック・ランダム・アクセス・メモリ)、FeRAM (強誘電体ランダム・アクセス・メモリ)、フラッシュEEPROM (電気的消去可能なプログラマブル読み出し専用メモリ) 等その種類も様々である。これら半導体メモリの特性は一長一短であり、現在の情報機器において要求されるスペックのすべてを満たすメモリが存在しない。例えば、DRAMは記録密度が高く書き換え可能回数も多いが、揮発性であり電源を切ると情報は消えてしまう。また、フラッシュEEPROMは不揮発であるが消去の時間が長く、情報の高速処理には向きである。

【0003】 上記のような半導体メモリの現状に対して、磁気抵抗効果を用いたメモリ(MRAM; 磁気ランダム

・アクセス・メモリ)は、記録時間、読み出し時間、記録密度、書き換え可能回数、消費電力等において多くの情報機器から求められるスペックをすべて満たすメモリとして有望である。特に、スピントンネル磁気抵抗 (TMR; Tunnel Magneto-Resistance) 効果を利用したMRAMは、大きな読み出し信号が得られることから、高記録密度化あるいは高速読み出しに有利であり、近年の研究報告においてMRAMとしての実現性が実証されている。

【0004】 MRAMの素子として用いられる磁気抵抗効果膜の基本構成は、非磁性層を介して磁性層が隣接して形成されたサンドイッチ構造である。非磁性膜として良く用いられる材料としてCuやAl₂O₃が挙げられる。磁気抵抗効果膜において非磁性層にCu等のような導体を用いたものを巨大磁気抵抗効果 (GMR; Giant Magneto-Resistance) 膜といい、Al₂O₃などの絶縁体を用いたものをスピントンネル効果 (TMR) 膜という。一般にTMR膜はGMR膜に比べて大きな磁気抵抗効果を示す。

【0005】 図8(a)に示すように、二つの磁性層の磁化方向が平行であると磁気抵抗効果膜の電気抵抗は比較的小さく、図8(b)に示すように、磁化方向が反平行であると電気抵抗は比較的大きくなる。したがって、一方の磁性層をメモリ層、他方を検出層とし、上記の性質を利用して情報の読み出しが可能である。例えば、非磁性層12の上部に位置する磁性層13をメモリ層、下部に位置する磁性層14を検出層とし、メモリ層の磁化方向が右向きの場合を『1』、左向きの場合を『0』とする。図9(a)に示すように、両磁性層の磁化方向が右向きの場合、磁気抵抗効果膜の電気抵抗は比較的小小さく、図9(b)に示すように、検出層の磁化方向が右向きで、かつメモリ層の磁化方向が左向きであると電気抵抗は比較的大きい。また、図9(c)に示すように、検出層の磁化方向が左向きで、かつメモリ層の磁化方向が右向きであると電気抵抗は比較的大きく、図9(d)に示すように、両磁性層の磁化方向が左向きの場合電気抵抗は比較的小さい。つまり、検出層の磁化方向が右向きに固定されている場合に、電気抵抗が大きければ、メモリ層には『0』が記録されていることになり、電気抵抗が小さければ、『1』が記録されていることになる。あるいは、検出層の磁化方向が左向きに固定されている場合に、電気抵抗が大きければ、メモリ層には『1』が記録されていることになり、電気抵抗が小さければ、『0』が記録されていることになる。

【0006】

【発明が解決しようとする課題】 MRAMの記録密度を高めるためには、素子サイズを小さくしていく必要があるが、面内磁化を示す磁性体のサイズを小さくしていくと特有の現象が現れる。E.Y. Chen, S. Tehranni, T. Zhu, M. Durlam, and H. Goronkin: J. Appl. Phys., 81, 3992 (1997) によると、無限長薄膜磁性体の長手方向の磁化反転磁界は、単磁区一齊回転モデルを仮定すると

1/ π 則に従う。これは、形状磁気異方性に起因するものであるが、つまり磁性体の幅を狭くしていくと磁化反転磁界は大きくなっていくことになる。このことから、面内磁化を示す磁性体を用いた磁気抵抗効果膜を微細化する場合には、磁化反転磁界に十分留意しなければならない。

【0007】また、面内磁化を示す磁性体を用いた磁気抵抗効果膜が長方形である場合、その端面には磁化のカーリング（端部磁区）が見られる。これは反磁界エネルギーを低減するために生じるものであるが、磁化反転磁界がばらつく原因であり、磁気抵抗効果膜を用いたデバイスには大きな問題である。このばらつきを抑えるために磁性体の形状を楕円形にするという提案もあるが、この場合磁化反転磁界が大きくなってしまうという問題がある。さらに磁性体の形状を正方形にすると磁化のカーリングは端部のみではなく全体に広がり、磁化は渦を巻いたような方向に向く。Pt (2nm) / Ni₈₀Fe₁₅Co₅ (15nm) / Al₅₀Cu₅₀ (25nm) / Si-waferの長方形の多層膜において、長い辺の長さを1μm一定とし幅を変えてMFM (magnetic force microscope) を用いて磁化状態を調べた。その結果、例えば長さが1μmで幅が0.6μmの長方形の場合は、長さ方向の端部に磁極が観察されたが、長さと幅がともに0.6μmである正方形の場合は端部に磁極は観察されなかった。さらに詳細に調べた結果、長さと幅が共に1μm未満で、かつ長さと幅の比が0.77以上1.30以下になると、零磁場中において磁化が渦を巻いたような状態になり、端部に磁極が観察されないことがわかった。また、同様の形状のPt (2nm) / Fe₆₀Co₄₀ (15nm) / Al₂O₃ (1.2nm) / Ni₈₀Fe₁₅Co₅ (10nm) / Al₅₀Cu₅₀ (25nm) / Si-waferの磁気抵抗曲線を調べてみると、やはり長さと幅の比が0.77以上1.30以下で図10に見られるような磁気抵抗曲線が得られることがわかった。このような状態になると、もはやこの磁気抵抗効果膜をメモリ素子として利用することは不可能である。

【0008】ところで、近年の半導体微細加工技術における最小加工寸法 (F) は0.13μm程度である。また、現在用いられているメモリにおいて、SRAMのセルサイズは40F²とされている。これに対してMRAMのセルサイズはUS P5991193で開示されている方法によると4F²となり、SRAMをMRAMで置き換えることを考えるならば、磁気抵抗効果膜のサイズは0.41μm×0.41μm以下にすることが好ましく、さらに記録密度の高いMRAMを実現するためには、磁気抵抗効果膜のサイズは0.13μm×0.13μmであることが望ましい。しかし、現在精力的に研究が行われている面内磁化を示す磁性体を用いた磁気抵抗効果膜では、上記理由によりそのような微細化は不可能である。

【0009】本発明は、この点に鑑み、サブミクロンサイズ以下の微小サイズの磁気抵抗効果膜、特に最小加工寸法の磁気抵抗効果膜を提供することを目的とし、さらに該磁気抵抗効果膜を用いたメモリを提供することを目

的とする。

【0010】

【課題を解決するための手段】面内磁化を示す磁性体に見られる端部磁区の形成を回避する方法として、例えば特開平11-213650で述べられているように垂直磁化を示す磁性体を用いる方法が提案されている。この方法では磁性体端部においても磁化は膜面垂直方向に向いている。また、様々な形状の磁性体においてほぼ同等の大きさの磁化反転磁界が得られるため素子の作成が容易である。さらに垂直磁化を示す磁性体を用いた磁気抵抗効果膜では、1μm未満に微細化しても、磁化が渦巻状になることはなく、零磁界においても例えば上方向や下方向といった2つの磁化方向を取り得るために、メモリ素子として利用可能である。

10

【0011】したがって、垂直磁化を示す磁性体を用いた磁気抵抗効果膜を1μm未満のサイズに加工し、長さと幅の比が1に近い値となるような形状とすることによって、素子サイズを小さくすることが可能であり、これをメモリ素子とすることにより、高記録密度メモリが実現可能である。長さと幅の比を0.77以上1.30以下の範囲内とした場合には、面内磁化膜を用いた磁気抵抗効果膜はメモリ素子として使用できないが、垂直磁化膜を用いた磁気抵抗効果膜は使用可能である。

20

【0012】上記形状は正方形であることを含む。

【0013】また、上記形状は円形であることを含む。

30

【0014】垂直磁化膜としては、Gd、Dy、Tb等の希土類金属から選ばれる少なくとも1種類の元素とCo、Fe、Ni等の遷移金属から選ばれる少なくとも1種類の元素の合金膜や人工格子膜であるフェリ磁性体、Co/Pt等遷移金属と貴金属の人工格子膜、CoCr等の膜面垂直方向の結晶磁気異方性を有する合金膜が主として挙げられる。これらの材料の中で、希土類金属と遷移金属からなるフェリ磁性体は、角型比が1である磁化曲線を示し、磁界を印加した場合に急峻な磁化反転を生じることから、メモリ素子として用いる磁気抵抗効果膜に最適である。

30

【0015】本発明の磁気抵抗効果膜に用いられる非磁性体は導体であっても、絶縁体であっても良い。

40

【0016】本発明のメモリは、磁気抵抗効果膜をメモリ素子とし、該磁気抵抗効果膜に情報を記録する手段と、記録した情報を読み出す手段を備える。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0018】図1はPt (2nm) / Tb₁₀(Fe₆₀Co₄₀)₈₀ (15nm) / Al₂O₃ (1.2nm) / Gd₁₀(Fe₆₀Co₄₀)₈₀ (15nm) / Al₅₀Cu₅₀ (25nm) / Si-waferの磁気抵抗効果膜の磁気抵抗曲線の測定結果である。ただし磁気抵抗効果膜は0.2μm×0.2μmの正方形であり、Tb₁₀(Fe₆₀Co₄₀)₈₀とGd₁₀(Fe₆₀Co₄₀)₈₀は垂直磁化を示す。

50

【0019】図1と図10を比較してわかるように、垂

直磁化膜を用いた磁気抵抗効果膜では角形の磁気抵抗曲線が得られ、零磁界において2つの抵抗値を取り得るのに対し、面内磁化膜を用いた磁気抵抗効果膜では、磁気抵抗曲線は閉じた形をしている。この原因は上述したように、磁性体のサイズが小さいために、面内磁化膜では零磁界において磁化が渦を巻いた状態に配向することにある。

【0020】図11は上記面内磁化を示す磁性体を用いた磁気抵抗効果膜のサイズを $10\mu\text{m} \times 10\mu\text{m}$ にし、同様に磁気抵抗曲線を測定した結果である。このように、サイズが大きくなると磁気抵抗曲線は角型に近い形状となる。

【0021】図12は上記面内磁化を示す磁性体を用いた磁気抵抗効果膜のサイズを $0.2\mu\text{m} \times 1\mu\text{m}$ にし、同様に磁気抵抗曲線を測定した結果である。ただし、長手方向に一軸磁気異方性がある。このように、一辺の長さが $0.2\mu\text{m}$ と短い場合でも長さと幅が十分に異なる長方形であると、磁気抵抗曲線はほぼ角型になる。

【0022】上記の結果においてもわかるように、面内磁化膜を用いた磁気抵抗効果膜では、小さなサイズのメモリ素子を実現することはできず、垂直磁化膜を用いた場合は実現可能である。この垂直磁化膜を用いた磁気抵抗効果膜の形状は、正方形に限らず例えば円形でも良い。後述する実施例を含む実験の結果によれば、垂直磁化膜を用いた磁気抵抗効果膜の場合、積層方向から磁性体を見た形状が、磁性体の幅に対する長さの比が0.77以上1.30以下の範囲であれば長さと幅のいずれもが $1\mu\text{m}$ 未満であってもメモリ素子として充分使用可能な磁気抵抗曲線を示すことが判った。

【0023】垂直磁化を示す磁性体に用いられる希土類金属はGd、Dy、Tbが好適に用いられる。磁化反転磁界を小さくする場合にはGdを用いることが好ましい。あるいは逆に磁化反転磁界を大きくする場合にはTbを用いることが好ましい。また、遷移金属としてはFe、Co、Niが好適に用いられるが、FeとCoの合金はスピン分極率が大きいので、大きな磁気抵抗変化を得ることが可能である。

【0024】磁気抵抗効果膜の2つの磁性体の間に形成されている非磁性膜は導体でも絶縁体でもどちらにおいても磁気抵抗変化が生じる。ただし、導体の場合は絶縁体の場合と比較すると一般に磁気抵抗変化の大きさは小さい。この非磁性膜として導体を用いる場合はCuが好適に選択される。また、絶縁体の場合には Al_2O_3 が好適に選択される。

【0025】本発明の磁気抵抗効果膜は、メモリ素子として使用することにより、記録密度を高くすることが可能である。

【0026】磁気抵抗効果膜への情報の記録は一般的には磁界の印加によって行われる。複数並べられたメモリ素子の中から選択的に記録を行うには、所望のメモリ素子の磁化のみ反転させるように磁界を印加する必要があ

る。

【0027】これを実現する方法として、例えばそれぞれのメモリ素子の間に導線を配し、これに電流を流してメモリ素子の膜面に対して垂直方向の磁界を発生させる。記録しようとするメモリ素子の周りにある4本の導線に、メモリ素子に対して同じ方向に磁界が印加されるように電流を流すと、所望のメモリ素子にのみ最も大きな磁界が印加され、このメモリ素子にのみ記録が行われる。

10 【0028】上記記録方法は、メモリ素子に対して垂直方向の磁界のみを用いる方法であるが、メモリ素子に対して膜面内方向の磁界を印加することによっても、選択的な記録が可能である。例えば、メモリ素子の間に導線を配すと共に、メモリ素子の上部あるいは下部にも導線を配する。ただし、素子間の導線と素子の上部あるいは下部の導線は一平面内に存在しないようねじれの位置で、かつこれら導線を真上から見ると直交するように配する。このように配された導線のうち記録しようとする所望のメモリ素子のすぐ横にある導線に電流を流して、
20 メモリ素子の膜面に対して垂直方向に磁界を印加すると共に、メモリ素子の上部あるいは下部に配されている導線にも電流を流しメモリ素子に膜面内方向の磁界を印加する。このようにすると、膜面内方向の磁界と、膜面垂直方向の磁界を同時に印加されたメモリ素子のみ記録可能となる。膜面内方向の磁界を発生させるための導線は、上記のように別に設けても良いが、ピット線を利用してすることで膜面内磁界発生用の導線を省略することが可能である。

30 【0029】また、情報の読み出しには磁気抵抗効果膜に電流を流し、磁気抵抗効果膜の電圧を検出すること行われる。GMR膜の場合流す電流の方向は膜面内方向でも膜面垂直方向でもどちらでも構わない。しかし、膜面垂直方向に流した方が比較的大きな磁気抵抗効果が得られることがわかっている。メモリ素子がTMR膜の場合には電流は絶縁膜を電子がトンネルするように膜面垂直方向に流す必要がある。

【0030】
【実施例】次に、本発明の磁気抵抗効果膜について、実施例に基づいてさらに詳しく説明する。
40 【0031】(実施例-1) 図2に実施例-1の磁気抵抗効果膜の断面を模式的に示す。
【0032】本実施例では、基板としてSi(シリコン)基板100を用い、この上に第1の磁性膜111として15nmの膜厚の $\text{Gd}_{10}(\text{Fe}_{85}\text{Co}_{15})_{10}$ 膜、非磁性膜(トンネル絶縁膜)113として1.3nmの膜厚の Al_2O_3 膜、第2の磁性膜112として15nmの膜厚の $\text{Tb}_{10}(\text{Fe}_{85}\text{Co}_{15})_{10}$ 膜、保護膜114として2nmのPt膜を順次形成した。Pt膜は磁性膜の酸化等の腐食を防ぐのに有効である。ここで $\text{Gd}_{10}(\text{Fe}_{85}\text{Co}_{15})_{10}$ 膜および $\text{Tb}_{10}(\text{Fe}_{85}\text{Co}_{15})_{10}$ 膜はどちらも遷移金属副格子磁化優勢である。次に得られた多

層膜の上部に0.8μm角のレジスト膜を形成し、ドライエッティングによってレジストに覆われていない部分の磁気抵抗効果膜を除去した。エッティング後、34nmの膜厚のAl₂O₃膜を成膜し、さらにレジストおよびその上部のAl₂O₃膜を除去し、上部電極とGd_{1-x}(Fe_xCo_{4-x})₈₀膜との間の電気絶縁を行うための絶縁膜121を形成した。その後、リフトオフ法によって上部電極122をAl₂O₃膜により作製し、上部電極に覆われていない部分のAl₂O₃膜を一部除去して測定回路を接続するための電極パットとした。

【0033】得られた磁気抵抗効果膜は膜面垂直方向に2MA/mの磁界を印加し、Tb_{1-x}(Fe_xCo_{6-x})₈₀膜の磁化を印加磁界方向に向け着磁を行った。ただし、1cm角のTb_{1-x}(Fe_xCo_{6-x})₈₀膜の保磁力は0.6MA/mと大きな値を示し、得られた磁気抵抗効果膜の保磁力も同程度の大きな値を示すと予想される。

【0034】磁気抵抗効果膜の上部電極122と下部電極(Si基板100)に定電流電源を接続してGd_{1-x}(Fe_xCo_{4-x})₈₀膜とTb_{1-x}(Fe_xCo_{6-x})₈₀膜の間のAl₂O₃膜113を電子がトンネルするように一定電流を流す。磁気抵抗効果膜の膜面に垂直方向に磁界を印加し、その大きさと方向を変えることにより磁気抵抗効果膜の電圧の変化(磁気抵抗曲線)を測定した。その結果を図3に示す。

【0035】(実施例-2) 本実施例は、実施例-1のレジスト寸法(加工寸法)を0.2μm×0.2μmとした以外は実施例-1と同様とした。その磁気抵抗曲線の測定結果を図4に、磁気抵抗効果膜の断面の模式図を図2に示す。

【0036】(実施例-3) 本実施例は、実施例-1のレジスト形状を直径0.2μmの円形とした以外は実施例-1と同様とした。その磁気抵抗曲線の測定結果を図5に、磁気抵抗効果膜の断面の模式図を図2に示す。

【0037】(実施例-4) Si基板(Siウエハ)上にトランジスタや配線層等を形成した後に実施例-1～3で用いた膜構成の磁気抵抗効果膜を成膜し、さらにそれを3行3列の9つのメモリ素子に加工し、メモリセルアレイを構成した。このようなメモリセルアレイを含むこのメモリの回路構成を図6に示す。このメモリでは、情報の記録は、所望のメモリ素子に面内磁界と垂直磁界を印加して行われる。ここで面内磁界は、ピット線に電流を流して発生させる。

【0038】情報の記録を行うための構成として、図6に示すように、メモリセルアレイには9個のメモリ素子(磁気抵抗効果膜)101～109が3×3に配列しており、メモリ素子の各行を挟むように、列方向に伸びる書き込み線311～314が設けられている。これらの書き込み線311～314の図示上端は共通に接続し、図示下端には、それぞれ、これら書き込み線311～314を電源411に接続するためのトランジスタ211～214と、配線300に接続するためのトランジスタ215～218とが設けられている。

【0039】また、情報の読み出しを行うための構成として、各メモリ素子(磁気抵抗効果膜)101～109の一端には、それぞれ直列にそのメモリ素子を接地するためのトランジスタ231～239が形成されている。ピット線331～333は行ごとに設けられており、ピット線331～333の図示右端には、それぞれ、固定抵抗150を介してこれらピット線331～333を電源412に接続するためのトランジスタ240～242と、これらピット線331～333を配線300に接続するためのトランジスタ221～223が設けられている。ピット線331は磁気抵抗効果膜101～103の他端に接続し、ピット線332は磁気抵抗効果膜104～106の他端に接続し、ピット線333は磁気抵抗効果膜107～109の他端に接続する。ピット線331～333の図示左端は共通接続されるとともに、トランジスタ251を介してこれらピット線の電位と基準電圧Refとの差を増幅するセンスアンプ500に接続し、またトランジスタ224を介して接地電位に接続している。さらに、ワード線341～343が列ごとに設けられており、ワード線341はトランジスタ231, 234, 237のゲートに接続し、ワード線342はトランジスタ232, 235, 238のゲートに接続し、ワード線343はトランジスタ233, 236, 239のゲートに接続している。

【0040】選択したメモリ素子の磁性膜の磁化を選択的に反転させる方法について説明する。例えば、磁気抵抗効果膜105の磁化を選択的に反転させる場合、トランジスタ212, 217, 222, 224を導通状態にし、その他のトランジスタは遮断状態にしておく。このようにすると電流は、書き込み線312, 313を流れ、磁気抵抗効果膜105の膜面に対して垂直な方向に磁界が印加される。さらに、ピット線332にも電流が流れ、これによって発生する磁界は磁気抵抗効果膜105の膜面に対して面内方向に印加される。したがって磁気抵抗効果膜105には膜面内方向の磁界と比較的大きな膜面垂直方向の磁界とが印加されるので、磁気抵抗効果膜105の磁化を反転することが可能である。他の磁気抵抗効果膜101～104, 106～109については、磁気抵抗効果膜105に印加されるほどの磁界は印加されないので、その磁化方向が反転しないようにすることができる。結局、電流の大きさを適切に定めることによって、磁気抵抗効果膜105のみ磁化を反転させることが可能となる。また、ここで述べたのとは上下逆方向の磁界を磁気抵抗効果膜105に印加する場合は、トランジスタ213, 216, 222, 224を導通状態にし、その他のトランジスタは遮断状態にしておく。このようにすると電流がピット線332を流れて磁気抵抗効果膜105に対して膜面内方向に磁界が印加されるとともに、書き込み線313, 312を上述とは逆の方向に電流が流れ、磁気抵抗効果膜105へは逆方向

の膜面垂直方向の磁界が印加される。したがって、磁気抵抗効果膜105には二値の情報のうち上述とは異なるものが記録されることになる。

【0041】次に読み出し時の動作を説明する。例えば、磁気抵抗効果膜105に記録された情報を読み出すものとする。この場合、トランジスタ235, 241を導通状態にする。すると電源412、固定抵抗150および磁気抵抗効果膜105が直列に接続された回路となる。したがって、電源電圧は、固定抵抗150の抵抗値と磁気抵抗効果膜105の抵抗値との割合でそれぞれの抵抗に分圧される。電源電圧は固定されているので、磁気抵抗効果膜の抵抗値が変化するとそれにしたがって、磁気抵抗効果膜にかかる電圧は変化する。この電圧値をセンサーアンプ500で読み出すことにより、磁気抵抗効果膜105に記録されている情報を読み出すことができる。

【0042】図7は、このようなメモリ素子の1つ分の周辺部分の立体構造を模式的に示している。ここでは、図3、図4及び図5における磁気抵抗効果膜105の近傍が示されている。例えば、p型Si基板161に2つのn型拡散領域162, 163が形成されており、これらの間に絶縁層123を介してワード線(ゲート電極)342が形成されている。コンタクトプラグ351を介してn型拡散領域162に接地線356を接続し、コンタクトプラグ352, 353, 354, 357とローカル配線358とを介してn型拡散領域163に磁気抵抗効果膜105を接続する。磁気抵抗効果膜105は、さらに、コンタクトプラグ355を介してピット線332に接続されている。磁気抵抗効果膜105の横には、磁界を発生させるための書き込み線312, 313が配されている。

【0043】(比較例)図2は比較例の磁気抵抗効果膜の断面を模式的に示す。

【0044】基板としてSi基板100を用い、この上に第1の磁性膜111として15nmの膜厚のNi₈₁Fe₁₃Co₆膜、非磁性膜(トンネル絶縁膜)113として1.3nmの膜厚のAl₂O₃膜、第2の磁性膜112として15nmの膜厚のFe₈₁Co₁₃膜、保護膜114として2nmのPt膜を順次形成した。次に得られた多層膜の上部に0.8μm角のレジスト膜を形成し、ドライエッチングによってレジストに覆われていない部分の磁気抵抗効果膜を除去した。エッチング後、34nmの膜厚のAl₂O₃膜を成膜し、さらにレジストおよびその上部のAl₂O₃膜を除去し、上部電極とNi₈₁Fe₁₃Co₆膜との間の電気絶縁を行うための絶縁膜121を形成した。その後、リフトオフ法によって上部電極122をAl膜により作製し、上部電極に覆われていない部分のAl₂O₃膜を一部除去して測定回路を接続するための電極パットとした。

【0045】このようにして得られた磁気抵抗効果膜に対し、膜面内方向に2MA/mの磁界を印加し、Fe₈₁Co₁₃

膜の磁化を印加磁界方向に向け着磁を行った。

【0046】磁気抵抗効果膜の上部電極122と下部電極(Si基板100)に定電流電源を接続してNi₈₁Fe₁₃Co₆膜とFe₈₁Co₁₃膜の間のAl₂O₃膜113を電子がトンネルするように一定電流を流す。磁気抵抗効果膜の膜面に面内方向に磁界を印加し、その大きさと方向を変えることにより磁気抵抗効果膜の電圧の変化(磁気抵抗曲線)を測定した。その結果を図13に示す。

【0047】

10 【発明の効果】上記の様に、本発明によるとサブミクロンサイズ以下の大きさの小さな磁気抵抗効果膜を提供することが可能で有り、さらに該磁気抵抗効果膜をメモリ素子として用いることによって記録密度の高いメモリの提供が可能である。

【図面の簡単な説明】

【図1】0.2μm×0.2μmのサイズの本発明の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図2】実施例-1、2、3および比較例に記載の磁気抵抗効果膜の断面を模式的に示す図である。

20 【図3】実施例-1に記載の本発明の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図4】実施例-2に記載の本発明の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図5】実施例-3に記載の本発明の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図6】実施例-4のメモリの磁界印加用配線および検出用配線の電気回路の概略図である。

【図7】実施例-4のメモリの一部分の断面を示した模式図である。

30 【図8】(a)は磁気抵抗効果膜の磁化が平行な状態を模式的に示す断面図、(b)は磁気抵抗効果膜の磁化が反平行な状態を模式的に示す断面図である。

【図9】面内磁化膜を用いた従来の磁気抵抗効果膜における記録再生原理を説明するための図であって、(a)および(c)は、記録情報「1」の読み出しを行う場合の磁化の状態を模式的に示す断面図、(b)および(d)は、記録情報「0」の読み出しを行う場合の磁化の状態を模式的に示す断面図である。

40 【図10】従来の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図11】従来の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図12】従来の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【図13】比較例に記載の従来の磁気抵抗効果膜の磁気抵抗曲線の測定結果である。

【符号の説明】

12 非磁性膜

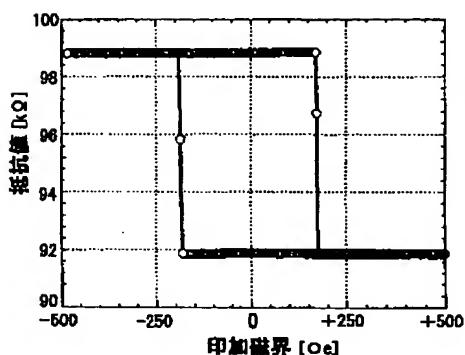
13, 14, 111, 112 磁性膜

50 100 Si基板

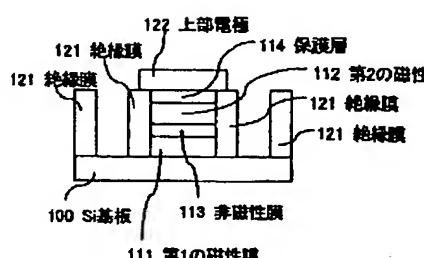
101～109 磁気抵抗効果膜
113 非磁性膜（トンネル絶縁膜）
114 保護膜
121, 123 絶縁膜
122 上部電極
150 固定抵抗
161 p型Si基板
162, 163 n型拡散領域
211～218, 221～224, 231～242, 2

51 トランジスタ
311～314 導線（書き込み線）
331～333 ビット線
341～343 ワード線（ゲート電極）
351～355, 357 コンタクトプラグ
356 接地線
358 ローカル配線
411, 412 電源
500 センスアンプ

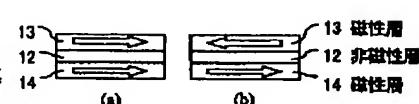
【図 1】



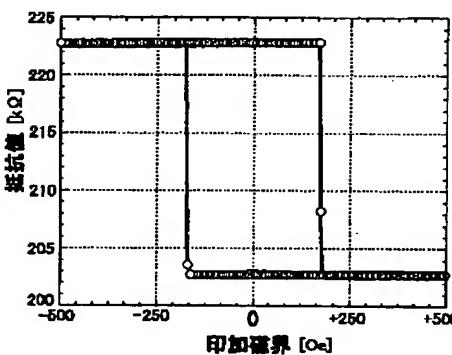
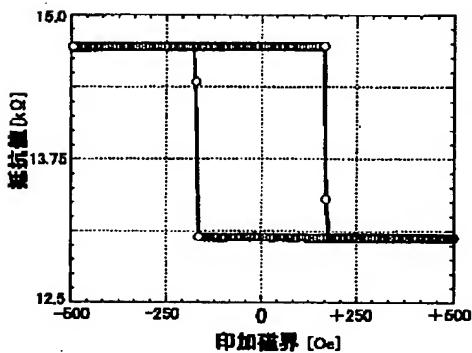
【図 2】



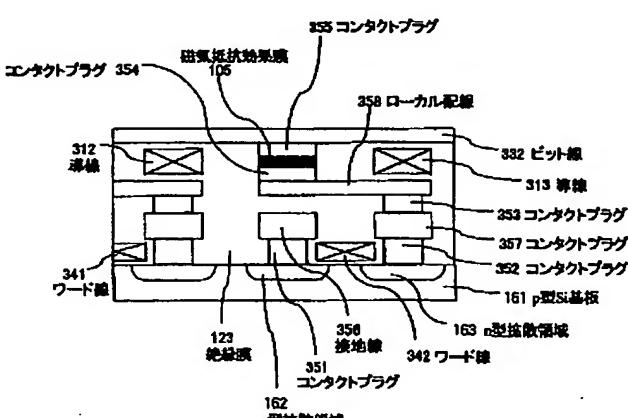
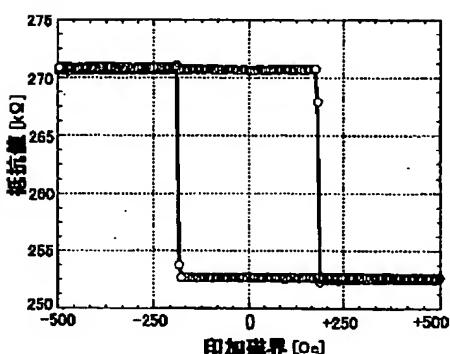
【図 8】



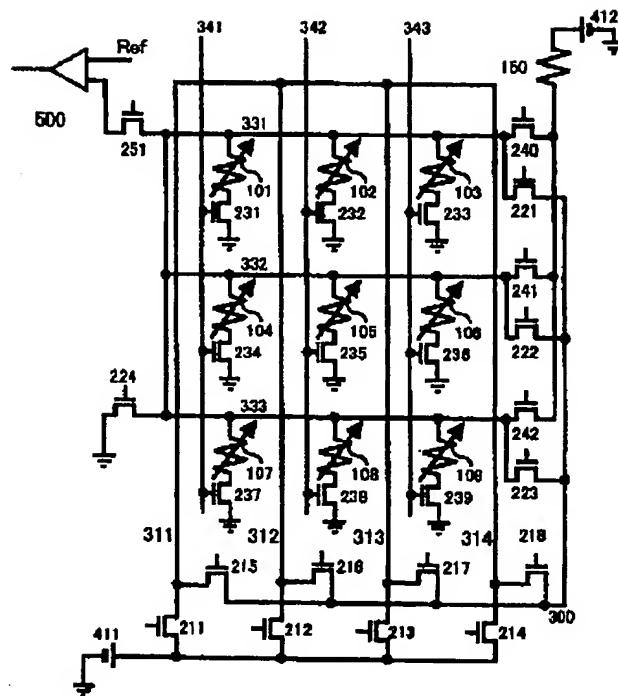
【図 3】



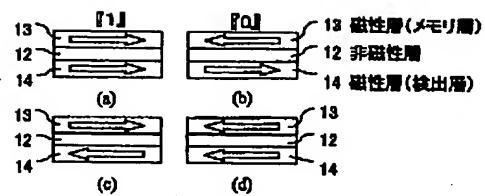
【図 5】



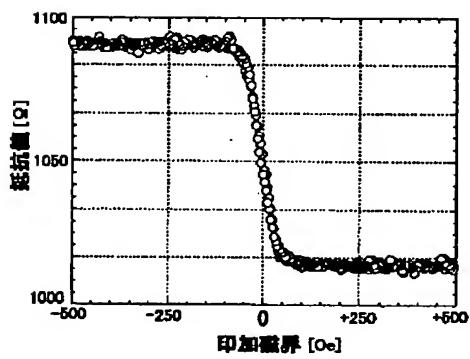
【図 6】



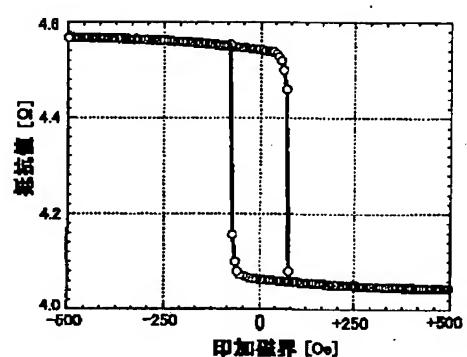
【図 9】



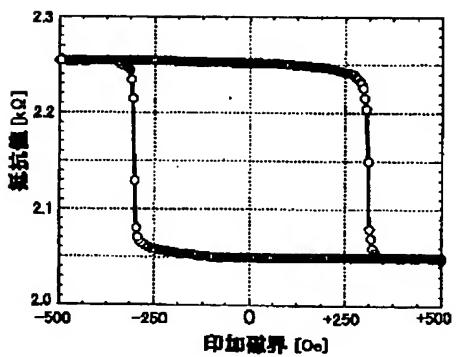
【図 10】



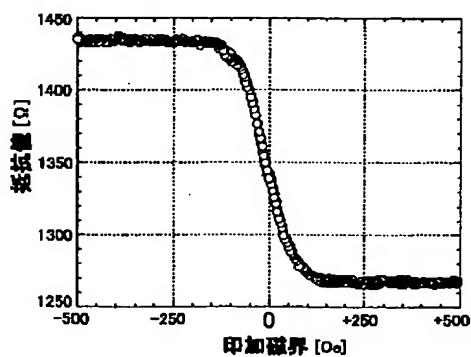
【図 11】



【図 12】



【図 13】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	マークコード(参考)
H 0 1 F	10/16	H 0 1 F	10/16
	10/30		10/30
	10/32		10/32
H 0 1 L	27/105	H 0 1 L	27/10
			4 4 7